

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-338838

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

H01G 4/40
 H01C 7/00
 H01C 13/00
 H01F 27/00
 H01G 4/12
 H01G 4/30
 H03B 5/04
 H03B 5/12
 H03H 5/02
 H03H 7/06

(21)Application number : 2000-155584

(71)Applicant : SHARP CORP

(22)Date of filing : 26.05.2000

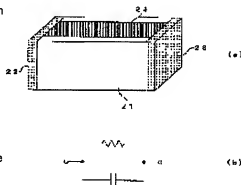
(72)Inventor : TSUDA YOICHI

(54) MULTI-FUNCTIONAL ELECTRONIC PARTS, ITS MANUFACTURING METHOD, AND VOLTAGE-CONTROLLED OSCILLATOR EQUIPPED THEREWITH

(57)Abstract:

PROBLEM TO BE SOLVED: To provide multi-functional electronic parts composed of a plurality of packaging parts fulfilling different electrical functions and a voltage-controlled oscillator the substrate area of which can be reduced by mounting the parts.

SOLUTION: The multi-functional electronic parts in which a resistor and a capacitor are connected in parallel between conductor electrodes 22 and 23 for mounting are constituted by providing resistors 24 on the surfaces of insulating layers except the surfaces on which the electrodes 22 and 23 are provided in a chip type capacitor 21 provided with the electrodes 22 and 23 on its facing surfaces. When such electronic parts are connected to the emitter electrode of a transistor for oscillating the voltage-controlled oscillator, the number of parts constituting the oscillator can be reduced by one as compared with the conventional example.



(51) Int. Cl. ⁷	識別記号	F I	サーチコード (参考)
H 0 1 G 4/40		H 0 1 C 7/00	H 5 E 0 0 1
H 0 1 C 7/00		13/00	C 5 E 0 3 3
13/00		H 0 1 G 4/12	3 4 6 5 E 0 7 0
H 0 1 F 27/00		4/30	3 0 1 F 5 E 0 8 2
H 0 1 G 4/12	3 4 6		3 1 1 D 5 J 0 2 4

審査請求 未請求 請求項の数12 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2000-155584(P2000-155584)

(22) 出願日 平成12年5月26日 (2000.5.26)

(71) 出願人 000005049

シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 津田 陽一

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100085501

弁理士 佐野 静夫

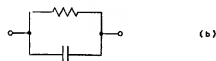
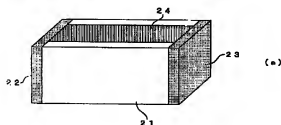
最終頁に続く

(54) 【発明の名称】 複合機能電子部品、その製造方法、及びこの複合機能電子部品を備えた電圧制御発振器

(57) 【要約】

【課題】本発明は、複数の異なる電気機能の実装部品を1つの電子部品として構成された複合機能電子部品と、この複合機能電子部品が搭載されることによって、その基板面積を小さくすることができる電圧制御発振器とを提供することを目的とする。

【解決手段】対向する2面に実装用導体電極22、23が設けられたチップ型コンデンサ21において、実装用導体電極22、23の設けられた面以外の絶縁層表面に、抵抗体24を設けることによって、実装用導体電極22、23間に抵抗とコンデンサが並列に接続された複合機能電子部品を構成することができる。このような複合機能電子部品を、例えば、電圧制御発振器の発振用のトランジスタのエミッタ電極に接続することで、従来に比べて、電圧制御発振器を構成するための部品点数を1点削減することができる。



【特許請求の範囲】

【請求項1】 外部と電氣的に接続するための第1実装用導体電極及び第2実装用導体電極と、前記第1実装用導体電極のみと電氣的及び物理的に接続された複数の第1導電体層と、前記第2実装用導体電極のみと電氣的及び物理的に接続された複数の第2導電体層と、前記第1及び第2導電体層間及びその周囲を覆う絶縁層とで構成されるときに、前記第1導電体層と前記第2導電体層が前記絶縁層を挟んで交互に形成された積層セラミックコンデンサと、

該積層セラミックコンデンサにおける前記第1及び第2実装用導体電極の形成されていない前記絶縁層の表面に形成されるときに、前記第1及び第2実装用導体電極と電氣的及び物理的に接続された抵抗体と、を有することを特徴とする複合機能電子部品。

【請求項2】 前記複合機能電子部品の形状が、直方体形状であるとともに、

対向する2面に前記第1及び第2実装用導体電極が形成され、

該第1及び第2実装用導体電極が形成された2面以外の4面のうちの少なくとも1面の前記絶縁層の表面に、前記抵抗体が形成されることを特徴とする請求項1に記載の複合機能電子部品。

【請求項3】 抵抗機能と容量機能を有する複合機能電子部品の製造方法において、

第1導電体層と第2導電体層の間及びその周囲に絶縁層が形成されるように、前記第1及び第2導電体層及び前記絶縁層が順に積層された後、

周囲に形成された前記絶縁層の表面上に抵抗体が形成され、

前記第1導電体層及び前記抵抗体に電氣的及び物理的に接続されるように、外部と電氣的に接続するための第1実装用導体電極が形成されるときに、

前記第2導電体層及び前記抵抗体に電氣的及び物理的に接続されるように、外部と電氣的に接続するための第2実装用導体電極が形成されることを特徴とする複合機能電子部品の製造方法。

【請求項4】 前記複合機能電子部品が形成された後、前記複合機能電子部品のアドミッタンスが測定され、測定したアドミッタンスの実数値より抵抗部分の抵抗値が検出されるときに、

測定したアドミッタンスの虚数値より容量部分の容量値が検出されることを特徴とする請求項3に記載の複合機能電子部品の製造方法。

【請求項5】 外部と電氣的に接続するための第1実装用導体電極及び第2実装用導体電極と、前記第1実装用導体電極のみと電氣的及び物理的に接続された複数の第1導電体層と、前記第2実装用導体電極のみと電氣的及び物理的に接続された複数の第2導電体層と、前記第1及び第2導電体層間及びその周囲を覆う絶縁層とで構成

されるときに、前記第1導電体層と前記第2導電体層が前記絶縁層を挟んで交互に形成された積層セラミックコンデンサと、

該積層セラミックコンデンサにおける前記第1及び第2実装用導体電極の形成されていない前記絶縁層の表面に、抵抗値の低い導体材料で形成されるときに、前記第1及び第2実装用導体電極と電氣的及び物理的に接続されたインダクタンスパターンと、を有することを特徴とする複合機能電子部品。

【請求項6】 前記複合機能電子部品の形状が、直方体形状であるとともに、

対向する2面に前記第1及び第2実装用導体電極が形成され、

該第1及び第2実装用導体電極が形成された2面以外の4面のうちの少なくとも1面の前記絶縁層の表面に、前記インダクタンスパターンが形成されることを特徴とする請求項5に記載の複合機能電子部品。

【請求項7】 抵抗機能と容量機能を有する複合機能電子部品の製造方法において、

第1導電体層と第2導電体層の間及びその周囲に絶縁層が形成されるように、前記第1及び第2導電体層及び前記絶縁層が順に積層された後、

抵抗率の低い導体材料によって、周囲に形成された前記絶縁層の表面上に、インダクタンスパターンが形成され、

前記第1導電体層及び前記インダクタンスパターンに電氣的及び物理的に接続されるように、外部と電氣的に接続するための第1実装用導体電極が形成されるときに、

前記第2導電体層及び前記インダクタンスパターンに電氣的及び物理的に接続されるように、外部と電氣的に接続するための第2実装用導体電極が形成されることを特徴とする複合機能電子部品の製造方法。

【請求項8】 前記複合機能電子部品が形成された後、前記複合機能電子部品の共振周波数が測定されることを特徴とする請求項7に記載の複合機能電子部品の製造方法。

【請求項9】 制御電圧によって共振周波数を変化させる電圧制御発振器において、

外部と電氣的に接続するための第1実装用導体電極及び第2実装用導体電極と、前記第1実装用導体電極のみと電氣的及び物理的に接続された複数の第1導電体層と、前記第2実装用導体電極のみと電氣的及び物理的に接続された複数の第2導電体層と、前記第1及び第2導電体層間及びその周囲を覆う絶縁層とで構成されるときに、前記第1導電体層と前記第2導電体層が前記絶縁層を挟んで交互に形成された積層セラミックコンデンサと、該積層セラミックコンデンサにおける前記第1及び第2実装用導体電極の形成されていない前記絶縁層の表面に形成されるときに、前記第1及び第2実装用導

体電極と電氣的及び物理的に接続された抵抗体と、から成る複合機能電子部品を、有することを特徴とする電圧制御発振器。

【請求項10】 インダクタンス素子と電圧可変容量素子とから成る共振回路と、制御電極に前記共振回路が接続されるとともに直流電圧でバイアスされた発振用トランジスタとを有し、前記発振用トランジスタのエミッタ電極に一端が接続されるとともに並列に接続された抵抗及びコンデンサが、前記複合機能電子部品によって構成されることを特徴とする請求項9に記載の電圧制御発振器。

【請求項11】 制御電圧によって発振周波数を変化させる電圧制御発振器において、外部と電氣的に接続するための第1実装用導体電極及び第2実装用導体電極と、前記第1実装用導体電極のみと電氣的及び物理的に接続された複数の第1導電体層と、前記第2実装用導体電極のみと電氣的及び物理的に接続された複数の第2導電体層と、前記第1及び第2導電体層間及びその周囲を覆う絶縁層とで構成されるとともに、前記第1導電体層と前記第2導電体層が前記絶縁層を挟んで交互に形成された積層セラミックコンデンサと、該積層セラミックコンデンサにおける前記第1及び第2実装用導体電極の形成されない前記絶縁層の表面に、抵抗値の低い導体材料で形成されるとともに、前記第1及び第2実装用導体電極と電氣的及び物理的に接続されたインダクタンスパターンと、から成る複合機能電子部品を、有することを特徴とする電圧制御発振器。

【請求項12】 インダクタンス素子と電圧可変容量素子とから成る共振回路と、制御電極に前記共振回路が接続されるとともに直流電圧でバイアスされた発振用トランジスタとを有し、前記共振回路を構成するインダクタンス素子と、該インダクタンス素子と並列に接続される温度補償用コンデンサとが、前記複合機能電子部品によって構成されることを特徴とする請求項11に記載の電圧制御発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、異なる電氣的機能を有する電子素子が形成された複合機能電子部品、その製造方法及びそれを備えた電圧制御発振器に関するものである。

【0002】

【従来の技術】 従来より使用されている電圧制御発振器の回路構成を、図1に示す。尚、この図1に示す電圧制御発振器の回路構成については、本発明における電圧制御発振器の回路構成と同様なので、その構成の詳細な説明については後述するものとし、以下に簡単に説明する。図1に示す電圧制御発振器は、可変容量ダイオードDと、インダクタンス素子L1、L2と、コンデンサC

1、C2、C3、C4とで、共振回路Aが構成される。又、npn型トランジスタT1と、コンデンサC5、C6、C7と、抵抗R1、R2、R3、R4で負性抵抗回路Bが構成される。更に、npn型トランジスタT2と、インダクタンス素子L3と、コンデンサC8、C9、C10、C11と、抵抗R1、R2、R4とで増幅回路Cが構成される。

【0003】 この図1の示される電圧制御発振器は、図9のように基板上に各素子を構成する電子部品が実装される。即ち、実装基板4上に、トランジスタT1、T2を1つの電子部品として構成する2トランジスタ1パッケージ型トランジスタ1と、バリキャップダイオード2と、抵抗やコンデンサを構成するチップ型電子部品3とが実装されている。この実装基板4上に実装されている電子部品は、それぞれ、2トランジスタ1パッケージ型トランジスタが1点、バリキャップダイオード2が1点、その他のチップ型電子部品3が15点となり、全体で17点の電子部品が実装されていることとなる。尚、不図示であるが、インダクタンス素子は、実装基板4上に導電性ペーストを印刷、焼き付けすることで、導体パターンとして形成される。

【0004】 このように、多数の素子より構成される電圧制御発振器において、近年求められ続けている装置の小型化について、この多数の素子を高密度で実装することによって対応している。又、この装置の小型化については、電圧制御発振器以外の分野において、実装する部品に複数の機能を持った複合機能部品とすることによって、その部品点数を減少させることで対応しているものが、特開9-283704号公報において提案されている。

【0005】

【発明が解決しようとする課題】 現在の小型電子部品の高密度実装技術は限界に近づいており、図9のように、17点の各電子部品を実装する基板4の面積は、5.0mm×4.0mmが必要となる。そこで、実装する電子部品の大きさ自体を小さくすることも考えられるが、この電子部品の小型化には製造の困難さが伴う。又、実装部品の部品数の削減も、その性能を保持するには限界となっている。

【0006】 又、特開9-283704号公報のような、抵抗成分と容量成分を持つ複合機能電子部品が提供されているが、抵抗部分とコンデンサ部分が直列に接続されるように構成されたものであり、図1の回路構成にあるように抵抗部分とコンデンサ部分が並列に接続されたものへの適用が不可能である。更に、コンデンサ部分について、その容量値を大きくするには、コンデンサ部分を形成する誘電体膜や電極の面積を広くする必要があり、半導体基板上に形成される面積が大きくなる。

【0007】 更に、電圧制御発振器は、その発振周波数を調整するために、基板に内装されている導体パターン

をレーザーなどで焼きとるトリミングという工程を行い、その主たる原因となるインダクタンス素子の値のバラツキを調査する必要がある。

【0008】このような問題を鑑みて、本発明は、複数の異なる電気機能の実装部品を1つの電子部品として構成された複合機能電子部品及びその製造方法と、この複合機能電子部品が搭載されることによって、その基板面積を小さくすることができる電圧制御発振器とを提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の複合機能電子部品は、外部と電気的に接続するための第1実装用導体電極及び第2実装用導体電極と、前記第1実装用導体電極のみと電気的及び物理的に接続された複数の第1導電体層と、前記第2実装用導体電極のみと電気的及び物理的に接続された複数の第2導電体層と、前記第1及び第2導電体層間及びその周囲を覆う絶縁層とで構成されるとともに、前記第1導電体層と前記第2導電体層が前記絶縁層を挟んで交互に形成された積層セラミックコンデンサと、該積層セラミックコンデンサにおける前記第1及び第2実装用導体電極の形成されていない前記絶縁層の表面に形成されるとともに、前記第1及び第2実装用導体電極と電気的及び物理的に接続された抵抗体と、を有することを特徴とする。

【0010】このような複合機能電子部品において、銀や銀パラジウムなどの導電体材料によって形成される第1及び第2導電体層を、その間に酸化チタンや酸化バリウム及び酸化鉛などの絶縁材料を混合したガラスセラミック材料で形成された絶縁層を挟んで形成することで、容量部分を形成する。この容量部分の両側に、第1導電体層と電気的及び物理的に接続された第1実装用導体電極と、第2導電体層と電気的及び物理的に接続された第2実装用導体電極とを設ける。又、この容量部分は、第1及び第2実装用導体電極が接続される面以外の面が、絶縁層で覆われており、この絶縁層の表面に、第1及び第2実装用導体電極と電気的及び物理的に接続するように、酸化ルテニウムなどの抵抗体材料によって抵抗体が形成される。このようにして、第1及び第2実装用導体電極間、に並列に接続された抵抗部分及び容量部分を有する複合機能電子部品となる。

【0011】又、このような複合機能電子部品において、請求項2に記載するように、前記複合機能電子部品の形状を、直方体形状とし、対向する2面に前記第1及び第2実装用導体電極が形成され、該第1及び第2実装用導体電極が形成された2面以外の4面のうちの少なくとも1面の前記絶縁層の表面に、前記抵抗体が形成されるようにしても構わない。

【0012】請求項3に記載の複合機能電子部品の製造方法は、抵抗機能と容量機能を有する複合機能電子部品

の製造方法において、第1導電体層と第2導電体層の間及びその周囲に絶縁層が形成されるように、前記第1及び第2導電体層及び前記絶縁層が順に積層された後、周囲に形成された前記絶縁層の表面上に抵抗体が形成され、前記第1導電体層及び前記抵抗体に電気的及び物理的に接続されるように、外部と電気的に接続するための第1実装用導体電極が形成されるとともに、前記第2導電体層及び前記抵抗体に電気的及び物理的に接続されるように、外部と電気的に接続するための第2実装用導体電極が形成されることを特徴とする。

【0013】このようにすることで、従来のように、絶縁層と導電体層とを交互に形成して容量部分を形成した後、表面の絶縁層に抵抗体材料をスクリーン印刷法などでパターン形成して抵抗体を形成する。そして、このように抵抗部となる抵抗体が形成された容量部の側面の対向する2面に実装用導体電極を銀ペーストに半田メッキを施して接続することで、第1導電体層及び抵抗体を第1実装用導体電極に電気的及び物理的に接続するとともに、第2導電体層及び抵抗体を電気的及び物理的に第2実装用導体電極に接続する。

【0014】又、請求項4に記載するように、前記複合機能電子部品が形成された後、前記複合機能電子部品のアドミッタンスが測定され、測定したアドミッタンスの実数値より抵抗部分の抵抗値が検出されるとともに、測定したアドミッタンスの虚数値より容量部分の容量値が検出されるようにしても構わない。

【0015】請求項5に記載の複合機能電子部品は、外部と電気的に接続するための第1実装用導体電極及び第2実装用導体電極と、前記第1実装用導体電極のみと電気的及び物理的に接続された複数の第1導電体層と、前記第2実装用導体電極のみと電気的及び物理的に接続された複数の第2導電体層と、前記第1及び第2導電体層間及びその周囲を覆う絶縁層とで構成されるとともに、前記第1導電体層と前記第2導電体層が前記絶縁層を挟んで交互に形成された積層セラミックコンデンサと、該積層セラミックコンデンサにおける前記第1及び第2実装用導体電極の形成されていない前記絶縁層の表面に、抵抗値の低い導体材料で形成されるとともに、前記第1及び第2実装用導体電極と電気的及び物理的に接続されたインダクタンスパターンと、を有することを特徴とする。

【0016】このような複合機能電子部品において、銀や銀パラジウムなどの導電体材料によって形成される第1及び第2導電体層を、その間に酸化チタンや酸化バリウム及び酸化鉛などの絶縁材料を混合したガラスセラミック材料で形成された絶縁層を挟んで形成することで、容量部分を形成する。この容量部分の両側に、第1導電体層と電気的及び物理的に接続された第1実装用導体電極と、第2導電体層と電気的及び物理的に接続された第2実装用導体電極とを設ける。又、この容量部分は、第

1及び第2実装用導体電極が接続される面以外の面が、絶縁層で覆われており、この絶縁層の表面上に、第1及び第2実装用導体電極と電気的及び物理的に接続するように、銀や銀パラジウムなどの導電体材料によってインダクタンスパターンが形成される。このようにして、第1及び第2実装用導体電極間に、並列に接続されたインダクタンス部分及び容量部分を有する複合機能電子部品となる。

【0017】又、このような複合機能電子部品において、請求項6に記載するように、前記複合機能電子部品の形状を、直方体形状とし、対向する2面に前記第1及び第2実装用導体電極が形成され、該第1及び第2実装用導体電極が形成された2面以外の4面のうちの少なくとも1面の前記絶縁層の表面上に、前記インダクタンスパターンが形成されるようにしても構わない。

【0018】請求項7に記載の複合機能電子部品の製造方法は、抵抗機能と容量機能を有する複合機能電子部品の製造方法において、第1導電体層と第2導電体層の間及びその周囲に絶縁層が形成されるように、前記第1及び第2導電体層及び前記絶縁層が順に積層された後、抵抗率の低い導体材料によって、周囲に形成された前記絶縁層の表面上に、インダクタンスパターンが形成され、前記第1導電体層及び前記インダクタンスパターンに電気的及び物理的に接続されるように、外部と電気的に接続するための第1実装用導体電極が形成されるとともに、前記第2導電体層及び前記インダクタンスパターンに電気的及び物理的に接続されるように、外部と電気的に接続するための第2実装用導体電極が形成されることを特徴とする。

【0019】このようにすることで、従来のように、絶縁層と導電体層とを交互に形成して容量部を形成した後、表面の絶縁層に銀ペーストなどをスクリーン印刷法などでパターン形成してインダクタンスパターンを形成する。そして、このようにインダクタンス素子となるインダクタンスパターンが形成された容量部の側面の対向する2面に実装用導体電極を銀ペーストに半田メッキを施して接続することで、第1導電体層及びインダクタンスパターンを第1実装用導体電極に電気的及び物理的に接続するとともに、第2導電体層及びインダクタンスパターンを電気的及び物理的に第2実装用導体電極に接続する。

【0020】又、請求項8に記載するように、前記複合機能電子部品が形成された後、前記複合機能電子部品の共振周波数が測定されるようにしても構わない。

【0021】請求項9に記載の電圧制御発振器は、制御電圧によって発振周波数を変化させる電圧制御発振器において、外部と電気的に接続するための第1実装用導体電極及び第2実装用導体電極と、前記第1実装用導体電極のみと電気的及び物理的に接続された複数の第1導電体層と、前記第2実装用導体電極のみと電気的及び物理

的に接続された複数の第2導電体層と、前記第1及び第2導電体層間及びその周囲を覆う絶縁層とで構成されるとともに、前記第1導電体層と前記第2導電体層が前記絶縁層を挟んで交互に形成された積層セラミックコンデンサと、該積層セラミックコンデンサにおける前記第1及び第2実装用導体電極の形成されていない前記絶縁層の表面上に形成されるとともに、前記第1及び第2実装用導体電極と電気的及び物理的に接続された抵抗体と、から成る複合機能電子部品を、有することを特徴とする。

【0022】請求項10に記載の電圧制御発振器は、請求項9に記載の電圧制御発振器において、インダクタンス素子と電圧可変容量素子とから成る共振回路と、制御電極に前記共振回路が接続されるとともに直流電圧でバイアスされた発振用トランジスタと、を有し、前記発振用トランジスタのエミッタ電極に一端が接続されるとともに並列に接続された抵抗及びコンデンサが、前記複合機能電子部品によって構成されることを特徴とする。

【0023】請求項11に記載の電圧制御発振器は、制御電圧によって発振周波数を変化させる電圧制御発振器において、外部と電気的に接続するための第1実装用導体電極及び第2実装用導体電極と、前記第1実装用導体電極のみと電気的及び物理的に接続された複数の第1導電体層と、前記第2実装用導体電極のみと電気的及び物理的に接続された複数の第2導電体層と、前記第1及び第2導電体層間及びその周囲を覆う絶縁層とで構成されるとともに、前記第1導電体層と前記第2導電体層が前記絶縁層を挟んで交互に形成された積層セラミックコンデンサと、該積層セラミックコンデンサにおける前記第1及び第2実装用導体電極の形成されていない前記絶縁層の表面上に、抵抗率の低い導体材料で形成されるとともに、前記第1及び第2実装用導体電極と電気的及び物理的に接続されたインダクタンスパターンと、から成る複合機能電子部品を、有することを特徴とする。

【0024】請求項12に記載の電圧制御発振器は、請求項11に記載の電圧制御発振器において、インダクタンス素子と電圧可変容量素子とから成る共振回路と、制御電極に前記共振回路が接続されるとともに直流電圧でバイアスされた発振用トランジスタと、を有し、前記共振回路を構成するインダクタンス素子と、該インダクタンス素子と並列に接続される温度補償用コンデンサとが、前記複合機能電子部品によって構成されることを特徴とする。

【0025】

【発明の実施の形態】＜電圧制御発振器の回路構成＞本発明の電圧制御発振器は、従来より使用されている電圧制御発振器と同様、図1に示す回路構成となる。図1に示す電圧制御発振器は、一端に制御電圧V_Tが加えられるインダクタンス素子L1及びコンデンサC1と、インダクタンス素子L1の他端にカソード側が接続されると

ともにアノード側が接地された可変容量ダイオードDと、インダクタンス素子L1と可変容量ダイオードDのカソード側との接続ノードに一端が接続されたコンデンサC2と、このコンデンサC2の他端に一端が接続されるとともに他端が接地されたインダクタンス素子L2及びコンデンサC3と、コンデンサC2、C3の接続ノードに一端が接続されたコンデンサC4とが設けられ、共振回路Aが構成される。

【0026】この共振回路Aにおいて、可変容量ダイオードDの容量値を制御するための電圧を与えるために、インダクタンス素子L1とコンデンサC1とでローパスフィルタを構成される。又、 $n/4$ ストリップライン共振器からなるインダクタンス素子L2と、温度補償用素子となるコンデンサC3と、可変容量ダイオードDとで並列共振回路が構成される。又、コンデンサC4によって、後段の回路への直流成分の入力を防ぐ。尚、コンデンサC1の他端が接地される。

【0027】コンデンサC4の他端に接続されて共振回路Aからの電圧がベースに与えられるnpn型トランジスタT1と、トランジスタT1のベース・エミッタ間に接続されたコンデンサC5と、トランジスタT1のベースに一端が接続された抵抗R1、R2と、トランジスタT1のエミッタに一端が接続されるとともに他端が接地されたコンデンサC6及び抵抗R3と、トランジスタT1のコレクタに一端が接続されるとともに他端が接地されたコンデンサC7と、一端が抵抗R2の他端に接続された抵抗R4とによって、負性抵抗回路Bが構成される。尚、抵抗R1の他端が接地される。

【0028】更に、抵抗R1、R2、R4と、抵抗R2の他端にベースが接続されるとともにトランジスタT1のコレクタにエミッタが接続されたnpn型トランジスタT2と、トランジスタT2のコレクタに一端が接続されたコンデンサC9、C10及びインダクタンス素子L3と、インダクタンス素子L3の他端に一端が接続されたコンデンサC11とによって、増幅回路Cが構成される。尚、コンデンサC9、C11の他端が接地され、又、抵抗R4の他端がインダクタンスL3の他端に接続される。更に、抵抗R4、インダクタンス素子L3、コンデンサC11の接続ノードには、バイアス電圧V_{BD}が印加される。

【0029】このように構成されるとき、負性抵抗回路Bが共振回路Aと発振条件を満たした周波数を安定して出力するとともに、増幅回路Cは負性抵抗回路Bとともにコルピッツ型の発振用能動回路として動作することによって、負性抵抗回路Bの発振信号を増幅する。そして、このようにして増幅された発振信号は、コンデンサC10によって直流成分が除去された信号として、コンデンサC10の他端に接続された出力端子OUTより出力される。このとき、トランジスタT1が発振用のトランジスタとして動作するとともに、トランジスタT2が

増幅用のトランジスタとして動作する。

【0030】図1に示す電圧制御発振器は、以下に説明する各実施形態における電圧制御発振器において共通である。よって、以下の各実施形態においては、図1に示す電圧制御発振器に使用される複合機能電子部品について、それぞれ説明する。

【0031】＜第1の実施形態＞本発明の第1の実施形態について、図面を参照して説明する。図2は、図1の電圧制御発振器に設けられる抵抗成分と容量成分を有する複合機能電子部品の構成を示す斜視図及び等価回路図である。図3は、図2の複合機能電子部品の断面図である。図4は、図2の複合機能電子部品と検査装置との関係を示すブロック図である。

【0032】図2(a)の外観斜視図に示す複合機能電子部品は、図2(b)の等価回路図に示すように、抵抗とコンデンサが並列に接続された複合機能電子部品で、図1における抵抗R3とコンデンサC6とを構成するための複合機能電子部品である。図2(a)に示す複合機能電子部品は、両側の対向する2面に実装用導体電極22、23が設けられた積層セラミック構造を持つ直方体のチップ型コンデンサ21において、実装用導体電極22、23の形成されていない1面に抵抗体24が形成された構成のものである。

【0033】この図2(a)のような複合機能電子部品は、図3の断面図のように、実装用導体電極22とその側面の1面が電気的及び物理的に接続された導体層31aと、実装用導体電極23にその側面の1面が電気的及び物理的に接続された導体層31bと、絶縁層32とが交互に重ね合わせられることによって、積層セラミックコンデンサであるチップ型コンデンサ21が形成される。この導体層31a、31bは、銀や銀パラジウムなどより成り、又、絶縁層32は、酸化チタンや酸化バリウム及び酸化鉛などの絶縁材料を混合したガラスセラミック材料から成る。このとき、導体層31aの実装用導体電極22に接続された面の対向面は、実装用導体電極23に接続されていない。又、導体層31bの実装用導体電極23に接続された面の対向面は、実装用導体電極22に接続されていない。

【0034】このようにして形成されるチップ型コンデンサ21の上面に、酸化ルテニウムなどの抵抗体材料によって、抵抗体24が形成される。このチップ型コンデンサ21に形成された抵抗体24が実装用導体電極22、23と電気的及び物理的に接続されるように、実装用導体電極22、23がコの字型に形成される。尚、このように抵抗体24が形成された絶縁層32の表面には、図示していないが、保護膜が設けられる。

【0035】図2及び図3のような積層の複合機能電子部品は、まず、銀や銀パラジウムなどの導体材料とガラスセラミック材料をスクリーン印刷法などによって積層するように形成することで、導体層31a、31b及

び絶縁層 3 2 が積層された積層セラミックコンデンサが形成される。次に、この構成された積層セラミックコンデンサの 1 面に、抵抗体材料をスクリーン印刷法で印刷するなどして、抵抗体 2 4 を形成する。そして、このように抵抗体 2 4 が形成された積層セラミックコンデンサの対向する側面 2 面に、銀ペーストに半田メッキを施した実装用導体電極 2 2、2 3 が接続されることによって、実装用導体電極 2 2、2 3 が、抵抗体 2 4 及び導体層 3 1 a、3 1 b と電気的に接続される。

【0036】この複合機能電子部品は、図 4 のように、インピーダンスアナライザといった電子部品のアドミタンスを測定することが可能な測定装置 4 1 のリード端子に接続されたリード 4 2、4 3 が、複合機能電子部品 4 0 の実装用導体電極 2 2、2 3 に接続されることによって、そのアドミタンス特性が測定される。即ち、複合機能電子部品 4 0 のアドミタンス $Y = G + jX$ が測定されたとき、その抵抗値が $1/G$ で有り、 X 、その容量値が $X/2\pi f$ (尚、 f は測定装置 4 1 で測定する際に使用する交流電源の周波数) となる。

【0037】このような複合機能電子部品が設けられた電圧制御発振器の実装部品点数は、図 5 のように、基板 4 に実装される 2 トランジスタ 1 パッケージ型トランジスタ 1 が 1 点、バリキャップアライメント 2 が 1 点、複合機能電子部品を含むその他のチップ型電子部品 3 が 1 4 点となり、全体で 1 6 点となる。このとき、各部品同士の実装間隔は、従来と同様と 0.2 mm 以上確保することになるが、部品点数を従来よりも 1 点減少するので、基板 4 の基板サイズを 4.6 mm × 4.0 mm とすることができる。よって、従来のものの基板サイズと比較して、略 8 % 程度、その面積を削減することができる。

【0038】<第 2 の実施形態>本発明の第 2 の実施形態について、図面を参照して説明する。図 6 は、本実施形態の電圧制御発振器に設けられるインダクタンス成分と容量成分を有する複合機能電子部品の構成を示す斜視図及び等価回路図である。図 7 は、図 6 の複合機能電子部品の断面図である。図 8 は、図 6 の複合機能電子部品と検査装置との関係を示すブロック図である。尚、図 6 及び図 7 において、図 2 及び図 3 の複合機能電子部品と同一の目的で使用する部分については、同一の符号を付し、その詳細な説明は省略する。

【0039】図 6 (a) の外觀斜視図に示す複合機能電子部品は、図 6 (b) の等価回路図に示すように、インダクタンスとコンデンサが並列に接続された複合機能電子部品で、図 1 におけるインダクタンス素子 L 2 とコンデンサ C 3 とを構成するための複合機能電子部品である。図 6 (a) に示す複合機能電子部品は、両側の対向する 2 面に実装用導体電極 2 2、2 3 が設けられた積層セラミック構造を持つ直方体のチップ型コンデンサ 2 1 において、実装用導体電極 2 2、2 3 の形成されていない 1 面にインダクタンスパターン 5 1 が形成された構成

のものである。

【0040】この図 6 (a) のような複合機能電子部品は、第 1 の実施形態と同様、図 7 の断面図のように、実装用導体電極 2 2 にその側面の 1 面が電氣的及び物理的に接続された導体電極 3 1 a と、実装用導体電極 2 3 にその側面の 1 面が電氣的及び物理的に接続された導体電極 3 1 b と、絶縁層 3 2 とが交互に重ね合わせられることによって、積層セラミックコンデンサであるチップ型コンデンサ 2 1 が形成される。

【0041】そして、このようにして形成されるチップ型コンデンサ 2 1 の上面に、銀ペーストなどの導体材料によって、インダクタンスパターン 5 1 が形成される。このチップ型コンデンサ 2 1 に形成されたインダクタンスパターン 5 1 が実装用導体電極 2 2、2 3 と電氣的及び物理的に接続されるように、実装用導体電極 2 2、2 3 がコの字型に形成される。尚、このようにインダクタンスパターン 5 1 が形成された絶縁層 3 2 の表面には、図示していないが、保護膜が設けられる。

【0042】図 6 及び図 7 のような構成の複合機能電子部品は、第 1 の実施形態と同様、銀や銅パジウムなどの導体材料とガラスセラミック材料をスクリーン印刷法などによって積層するように形成することで、導体層 3 1 a、3 1 b 及び絶縁層 3 2 が積層された積層セラミックコンデンサが形成される。次に、この構成された積層セラミックコンデンサの 1 面に、導体材料をスクリーン印刷法で印刷するなどして、インダクタンスパターン 5 1 を形成する。そして、このようにインダクタンスパターン 5 1 が形成された積層セラミックコンデンサの対向する側面 2 面に、銀ペーストに半田メッキを施した実装導体電極 2 2、2 3 が接続されることによって、実装用導体電極 2 2、2 3 が、インダクタンスパターン 5 1 及び導体層 3 1 a、3 1 b と電氣的に接続される。

【0043】この複合機能電子部品は、図 8 のように、ネットワークアナライザといった電子部品を流れる電流の振幅を測定することが可能な測定装置 3 1 のリード端子に接続されたリード 8 2、8 3 が、複合機能電子部品 8 0 の実装用導体電極 2 2、2 3 に接続されることによって、その共振周波数が測定される。即ち、複合機能電子部品 8 0 を流れる電流の振幅に対する周波数特性が測定され、その電流の振幅が小さくなる共振周波数を共振周波数として検出される。

【0044】このように共振周波数が測定された複合機能電子部品が、電圧制御発振器の共振回路 A のインダクタンス素子 L 2 とコンデンサ C 3 とを構成する部分に実装されることによって、電圧制御発振器で使用する発振周波数にに応じた周波数特性を有する共振回路を構成することができる。又、この電圧制御発振器の発振周波数を変更する場合には、その共振周波数の異なる複合機能電子部品に変更することによって対応することができるの

で、従来のように、インダクタンスパターンの導体端を消失して周波数調整する工程が不要とすることができ、簡易に周波数調整を行うことができる。更に、従来のようなインダクタンスパターンを、他の電子部品が実装される基板上に設ける必要がなくなるので、このインダクタンスパターンが設けられ実装面分、その基板面積を削減することができる。

【0045】尚、図1に示す電圧制御発振器において、第1及び第2の実施形態にて説明した複合機能電子部品両方が実装されるようにしても構わない。このようにして構成することで、電圧制御発振器が構成される基板の面積を更に縮小することができ、電圧制御発振器を更に小型化することが可能となる。又、本発明の複合機能電子部品は、第1、第2の実施形態の形状に限定されるものでなく、例えば、チップ型コンデンサの絶縁層における他の表面に抵抗体又はインダクタンスパターンが形成されるものや、チップ型コンデンサの複数の絶縁層表面に抵抗体又はインダクタンスパターンが形成されるものでも構わない。

【0046】

【発明の効果】本発明によると、従来のチップ型コンデンサの絶縁層の表面に抵抗体又はインダクタンスパターンを構成することによって、第1及び第2実装用導体電極間に容量成分と抵抗成分とが並列に、又は、容量成分とインダクタンス成分とが並列に接続された複合機能電子部品を構成することができる。よって、従来のチップ型コンデンサと、その大きさがほぼ同等の複合機能電子部品とすることができるため、各種回路を構成する際に実装される基板面積を縮小することができる。

【0047】又、容量成分とインダクタンス成分とが並列に接続された複合機能電子部品を電圧制御発振器に用いたとき、この複合機能電子部品の共振周波数を平均測定することが可能であるので、従来のように、インダクタンスパターンをレーザー照射などで消失させて周波数

調整をする必要がなくなるとともに、電圧制御発振器の共振周波数に応じた共振周波数の複合機能電子部品を選択して設けることで、容易に電圧制御発振器の共振周波数を設定することができる。

【図面の簡単な説明】

【図1】電圧制御発振器の構成を示す回路図。

【図2】第1の実施形態の複合機能電子部品の構成を示す外観斜視図及び等価回路図。

【図3】第1の実施形態の複合機能電子部品の内部構成を示す断面図。

【図4】第1の実施形態の複合機能電子部品と測定器との関係を示す図。

【図5】第1の実施形態の複合機能電子部品を実装した基板実装面における電子部品の配置図。

【図6】第2の実施形態の複合機能電子部品の構成を示す外観斜視図及び等価回路図。

【図7】第2の実施形態の複合機能電子部品の内部構成を示す断面図。

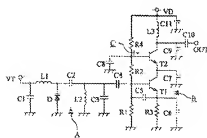
【図8】第2の実施形態の複合機能電子部品と測定器との関係を示す図。

【図9】従来の電圧制御発振器を構成する電子部品を実装した基板実装面における電子部品の配置図。

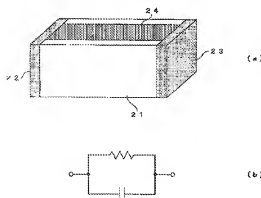
【符号の説明】

- 1 2トランジスタ1パッケージ型トランジスタ
- 2 バリキャップダイオード
- 3 チップ型電子部品
- 4 実装基板
- 21 チップ型コンデンサ
- 22、23 実装用導体電極
- 24 抵抗体
- 31a、31b 導電体層
- 32 絶縁層
- 51 インダクタンスパターン

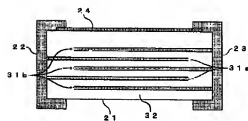
【図1】



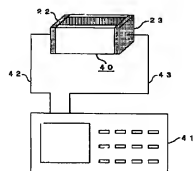
【図2】



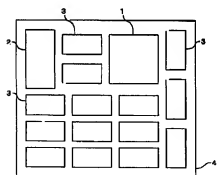
【図3】



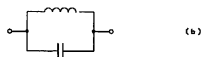
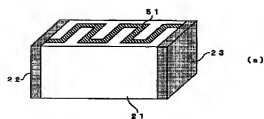
【図4】



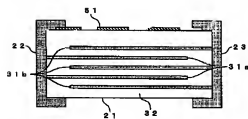
【図5】



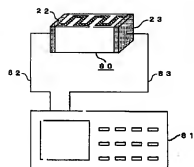
【図6】



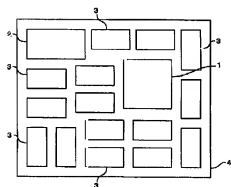
【図7】



【図8】



【図9】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	(参考)
H 01 G 4/30	3 0 1	H 03 B 5/04	C 5 J 081
	3 1 1	5/12	G
H 03 B 5/04		H 03 H 5/02	
5/12		7/06	
H 03 H 5/02		H 01 G 4/40	3 07 A
7/06		H 01 F 15/00	D
		H 01 G 4/40	3 21 A

F ターム(参考) 5E001 AB03 AC10 AH01 AJ01 AJ02
 AJ03
 5E033 AA27 BB02 BC01 BD01 BG02
 BH02
 5E070 AA05 AB01 AB02 BA12 CB03
 CB12
 5E082 AA01 AB03 BC39 DD02 DD08
 DD11 EE04 EE11 EE23 EE35
 FF05 FG06 FG26 KK08 LL15
 5J024 AA01 CA03 DA04 DA29 DA31
 DA32 EA05
 5J081 AA03 AA11 CC43 DD03 DD21
 EE02 EE03 EE09 EE18 GG05